

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06338786 A**

(43) Date of publication of application: **06 . 12 . 94**

(51) Int. Cl

**H03L 7/089  
G06F 1/04  
G06F 15/78**

(21) Application number: **05129444**

(22) Date of filing: **31 . 05 . 93**

(71) Applicant: **SANYO ELECTRIC CO LTD**

(72) Inventor: **KOYAMA HIROSHI  
CHIAKI KAZUMASA  
SHINDO HIROYASU  
OTA MASAYA  
TERAWAKI SHUSAKU**

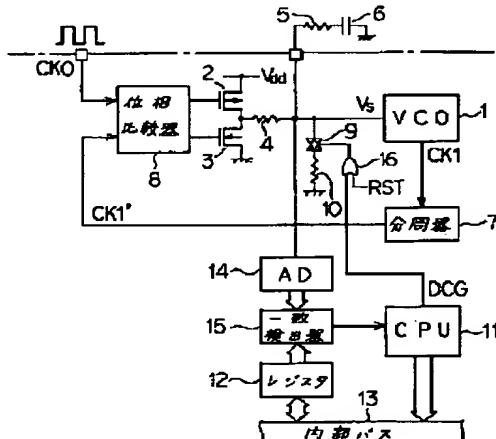
(54) MICROCOMPUTER

COPYRIGHT: (C)1994,JPO

(57) Abstract:

**PURPOSE:** To prevent the dead lock of a frequency divider from occurring by discharging a charge/discharge circuit compulsorily via a gate on the discharge path of the charge/discharge circuit corresponding to the reset voltage of a microcomputer or the detection voltage of a detection circuit when a frequency dividing operation is stopped.

**CONSTITUTION:** When the microcomputer is reset first, a reset voltage RST of high level is applied to the control terminal of a transmission gate 9 via an OR gate 16, which forms the discharge path of the charge/discharge circuit. An electric charge accumulated in a capacitor 6 is discharged compulsorily by a time constant T via a pull-down resistor 10. Therefore, a control voltage Vs can be decreased to around 0V when the microcomputer is reset, which surely prevents the dead lock of the frequency divider 7 from occurring. Also, such state where the dead lock occurs due to infeasibility to follow up the oscillation clock of an oscillation frequency of extremely high level by the frequency divider 7 when the microcomputer is being operated normally can be surely released even when it occurs.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-338786

(43)公開日 平成6年(1994)12月6日

(51)Int.Cl.<sup>5</sup>  
H 03 L 7/089  
G 06 F 1/04  
15/78

識別記号 庁内整理番号  
A 7165-5B  
5 1 0 G  
9182-5J

F I  
H 03 L 7/08

技術表示箇所  
D

審査請求 未請求 請求項の数 2 OL (全 5 頁)

(21)出願番号 特願平5-129444

(22)出願日 平成5年(1993)5月31日

(71)出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号

(72)発明者 小山 博  
大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内

(72)発明者 千明 一雅  
大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内

(72)発明者 新藤 博康  
大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内

(74)代理人 弁理士 西野 卓嗣

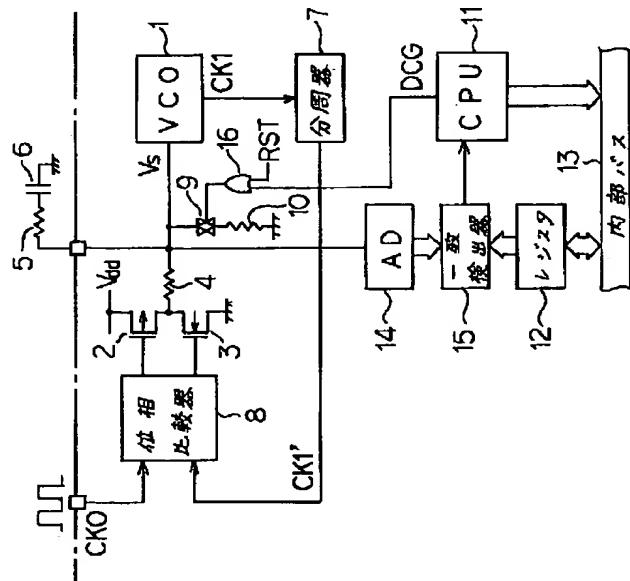
最終頁に続く

(54)【発明の名称】 マイクロコンピュータ

(57)【要約】

【目的】 本発明は、PLL回路を形成する分周器がデッドロック状態となるのを防止できるマイクロコンピュータを提供することを目的とする。

【構成】 本発明によれば、マイクロコンピュータのリセット電圧RST、又は、分周器(7)が分周動作を停止した時のCPU(11)の充電制御電圧DCGに応じて、充放電回路(5)(6)の放電路に介在するトランスマッショングート(9)を介して充放電回路(5)(6)を強制的に放電させ、これより、分周器(7)のデッドロックを防止している。



## 【特許請求の範囲】

【請求項1】 制御電圧に応じた発振周波数の発振クロックを発生する電圧制御発振器と、  
第1及び第2電源間に直列接続され相補的に導通する第1及び第2トランジスタと、  
前記第1及び第2トランジスタの接続点電圧に応じて充放電を行い、この時の充放電電圧を前記電圧制御発振器の制御電圧とする充放電回路と、  
前記発振クロックを分周し、基本クロックと同じ周波数の分周クロックを発生する分周器と、  
前記基本クロック及び前記分周クロックを位相比較し、前記分周クロックの位相進み又は位相遅れに応じて前記第1及び第2トランジスタを相補的に導通する為の位相比較電圧を発生する位相比較器と、  
前記分周器が分周動作を停止したことを検出する検出回路と、  
前記検出回路の検出電圧又はリセット電圧に応じて、前記充放電回路の放電路を導通又は遮断するゲートと、を備え、  
少なくともリセット時及び前記分周器が前記発振クロックに追従できずに分周クロックを停止した異常時に、前記ゲートを介して前記充放電回路を強制的に放電させることを特徴とするマイクロコンピュータ。

【請求項2】 前記検出回路は、前記分周器が分周動作を停止する時の制御電圧に対応するデジタルデータがプリセットされるレジスタと、前記充放電回路の充放電電圧をデジタルデータに逐次変換するAD変換器と、前記AD変換器の値が前記レジスタの値に達したことを検出する一致検出器と、前記一致検出器の検出出力を受けて前記ゲートを介して前記充放電回路を強制的に放電させるCPUと、を備えたことを特徴とする請求項1記載のマイクロコンピュータ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、電圧制御発振器を含むPLL(Phase Locked Loop)回路を内蔵したマイクロコンピュータに関する。

## 【0002】

【従来の技術】 米国では、難聴者でもテレビ放送を十分に楽しめる様に、放送中の人物の喋り言葉をリアルタイムで字幕表示するクローズドキャプション機能を搭載したテレビ受像機が販売されている。字幕表示の為のキャプションデータは映像信号の垂直帰線期間に存在する21本目の水平走査期間(21H)に重畠している。そして、映像信号のペデスタイルレベルを或る電圧にクランプし、該ペデスタイルレベルから或る値だけ離れた電圧でキャプションデータをスライスして該スライスレベルを境に「0」又は「1」となる複数ビットデータを発生し、この複数ビットデータに信号処理を施すことにより字幕表示を実現している。

【0003】 キャプションデータは数百KHz(例えば503KHz)の周波数で21Hに重畠する様になっている。また、「0」又は「1」の複数ビットデータは基準クロックに同期してデジタル信号処理される様になっている。その為、現フレームのキャプションデータに対応する複数ビットデータのデジタル信号処理が、次フレームのキャプションデータに対応する複数ビットデータのデジタル信号処理まで遅れて悪影響を与えない様に、複数ビットデータは503KHzの2倍のラッチクロック10に同期して複数のラッチ回路に一旦保持された後にデジタル信号処理される形態となっている。尚、キャプションデータをスライスする点は本件出願人による特願平5-48040号に記載されている。

【0004】 さて、前記ラッチクロックは、キャプション文字を水平方向に表示するのに用いるドットクロックを分周して得るものであり、該ドットクロックの源となる発振クロックは非常に高周波数(28MHz)である。従って、水晶、セラミック等の個別振動子を含む発振回路では、この様な高周波数の発振クロックを発生できない。そこで、従来は、電圧制御発振器(VCO)を含むPLL回路を設け、数十MHz以上の発振クロックを発生し、該発振クロックを分周してラッチクロックを生成していた。

## 【0005】

【発明が解決しようとする課題】 前記PLL回路は、電圧制御発振器の制御電圧を決定する積分回路(充放電回路)と、発振クロックを分周する分周器と、基本クロック及び分周クロックを位相比較する位相比較器と、電源及びアース間に直列接続され位相比較器の出力に応じて相補的に導通して積分回路の充放電を制御する2個のトランジスタとを含み、積分回路の積分値に応じて発振周波数が変動する発振クロックを発生できる様になっている。

【0006】 一般に、キャプションデータのスライス及びデジタル信号処理はマイクロコンピュータで実現されており、これに伴い、PLL回路はマイクロコンピュータに内蔵されている。しかしながら、位相比較器の出力が2個のトランジスタの入力と直接接続されているのでマイクロコンピュータのリセット時に2個のトランジスタの動作状態が不定となったり、積分回路が外部要因を受けて誤動作したりする不都合を生じる。例えば、積分回路が充電を行う側のトランジスタが導通し、積分回路が過充電を起こすと、電圧制御発振器は極めて高い制御電圧に応じて極めて高い発振周波数の発振クロックを発生してしまう。分周器は該発振クロックを分周しようとするが、分周器自体がCMOS構造を有する為に分周動作が該発振クロックに追従できなくなり、最終的にディドロップ状態に陥ってしまう。すると、マイクロコンピュータをリセット解除してもPLL動作を実行できなくなってしまう問題があった。

【0007】そこで、本発明は、PLL回路を形成する分周器がデッドロック状態となるのを防止できるマイクロコンピュータを提供することを目的とする。

#### 【0008】

【課題を解決するための手段】本発明は、前記問題点を解決する為に成されたものであり、その特徴とするとところは、制御電圧に応じた発振周波数の発振クロックを発生する電圧制御発振器と、第1及び第2電源間に直列接続され相補的に導通する第1及び第2トランジスタと、前記第1及び第2トランジスタの接続点電圧に応じて充放電を行い、この時の充放電電圧を前記電圧制御発振器の制御電圧とする充放電回路と、前記発振クロックを分周し、基本クロックと同じ周波数の分周クロックを発生する分周器と、前記基本クロック及び前記分周クロックを位相比較し、前記分周クロックの位相進み又は位相遅れに応じて前記第1及び第2トランジスタを相補的に導通する為の位相比較電圧を発生する位相比較器と、前記分周器が分周動作を停止したことを検出する検出回路と、前記検出回路の検出電圧又はリセット電圧に応じて、前記充放電回路の放電路を導通又は遮断するゲートと、を備え、少なくともリセット時及び前記分周器が前記発振クロックに追従できずに分周クロックを停止した異常時に、前記ゲートを介して前記充放電回路を強制的に放電させる点である。

#### 【0009】

【作用】本発明によれば、マイクロコンピュータのリセット電圧、又は、分周器が分周動作を停止した時の検出回路の検出電圧に応じて、充放電回路の放電路に介在するゲートを介して充放電回路を強制的に放電させ、これより、分周器のデッドロックを防止している。

#### 【0010】

【実施例】本発明の詳細を図面に従って具体的に説明する。図1は本発明のマイクロコンピュータを示す図である。図1において、(1)は電圧制御発振器であり、制御電圧Vsに応じて発振周波数が変動する発振クロックCK1を発生するものである。(2)(3)はPMOSトランジスタ及びNMOSトランジスタであり、電源Vdd及びアース間に直列接続され相補的に導通するものであり、両トランジスタの接続点は抵抗(4)を介して電圧制御発振器(1)の制御電圧Vsの入力と接続されている。(5)(6)は抵抗及びコンデンサ(充放電回路)であり、PMOSトランジスタ(2)及びNMOSトランジスタ(3)の状態に応じて充電又は放電を行うものである。即ち、コンデンサ(6)は、PMOSトランジスタ(2)が導通している時に抵抗(4)(5)及びコンデンサ(6)で決まる時定数で充電を行い、NMOSトランジスタ(3)が導通している時に前記時定数で放電を行う。(7)は分周器であり、発振クロックCK1を分周して分周クロックCK1'を発生するものである。(8)は位相比較器であり、基本クロックCK0

及び分周クロックCK1'の立上りを位相比較するものである。即ち、位相比較器(8)は、基本クロックCK0に対する分周クロックCK1'の位相遅れを検出した時、位相遅れ時間Tdeだけ位相進みを指示するローレベルの位相比較電圧を発生し、反対に、基本クロックCK0に対する分周クロックCK1'の位相進みを検出した時、位相進み時間Tadだけ位相遅れを指示するハイレベルの位相比較電圧を発生するものである。(9)は前記充放電回路の放電路に介在するトランスミッショングートであり、一端は電圧制御発振器(1)の制御電圧Vsの入力と接続され、他端はブルダウン抵抗(10)を介して接地されている。(11)はCPUであり、各種論理演算を行い、マイクロコンピュータの動作を制御するものである。(12)はレジスタである。ここで、分周器(7)はCMOS構造を有する為、極めて高い発振周波数の発振クロックCK1には追従できず、分周動作を停止してデッドロック状態に陥ってしまう。そこで、レジスタ(12)には、分周器(7)が分周動作を停止する際の制御電圧Vsに対応するデジタルデータがCPU(11)から内部バス(13)を介してプリセットされる。(14)はAD変換器であり、制御電圧Vsをデジタルデータに逐次変換するものである。(15)は一致検出器であり、AD変換器(14)の値がレジスタ(12)の値に達したことを検出するものである。そして、CPU(11)は、一致検出回路(15)の一致検出出力に応じてハイレベルの放電制御電圧DCGを発生する。(16)はORゲートであり、ハイレベルのリセット電圧RST及び放電制御電圧DCGを導出し、トランスミッショングート(9)を導通させるものである。

【0011】初めにマイクロコンピュータがリセットされると、ハイレベルのリセット電圧RSTがORゲート(16)を介してトランスミッショングート(9)の制御端子に印加され、充放電回路の放電路が形成される。そして、コンデンサ(6)の電荷はブルダウン抵抗(10)を介して時定数Tで強制放電される。従って、マイクロコンピュータのリセット時は、制御電圧Vsを0ボルト付近まで下降でき、分周器(7)のデッドロックを確実に防止できる。

【0012】マイクロコンピュータがリセット解除されると、トランスミッショングート(9)が遮断される。すると、位相比較器(8)の位相比較電圧に応じてPMOSトランジスタ(2)及びNMOSトランジスタ(3)が相補的に導通し、PMOSトランジスタ(2)及びNMOSトランジスタ(3)の相補的導通に応じてコンデンサ(6)が充放電を行い、コンデンサ(6)の充放電に応じて電圧制御発振器(1)から発振周波数の異なる発振クロックCK1が発生する、所謂PLL動作が行われる。例えば、分周クロックCK1'が基本クロックCK0より位相遅れを生じている時、位相比較器(8)からローレベルの位相比較電圧が出力される。す

ると、PMOSトランジスタ（2）が導通し、コンデンサ（6）は位相遅れ時間T<sub>de</sub>だけ時定数Tで充電を開始する。従って、制御電圧V<sub>s</sub>の上昇に伴って発振クロックCK1の発振周波数は上昇する。反対に、分周クロックCK1'が基本クロックCK0より位相進みを生じている時、位相比較器（8）からハイレベルの位相比較電圧が出力される。すると、NMOSトランジスタ（3）が導通し、コンデンサ（6）は位相進み時間T<sub>ad</sub>だけ時定数Tで放電を行う。従って、制御電圧V<sub>s</sub>の下降に伴って発振クロックCK1の発振周波数は下降する。この様に、基本クロックCK0に対する分周クロックCK1'の位相遅れ及び位相進みを繰り返し補償することにより、制御電圧V<sub>s</sub>は、分周クロックCK1'を基本クロックCK0と同じ周波数とする値で安定することになる。尚、実際には、テレビ画面に字幕表示を行う用途にマイクロコンピュータを使用するので、基本クロックCK0に水平同期周波数15.75KHzを使用している。

【0013】マイクロコンピュータの通常動作時にコンデンサ（6）が何らかの外部要因を受けて過充電を行い、電圧制御発振器（1）から極めて高い発振周波数の発振クロックCK1が発生し、分周器（7）が分周動作を停止してしまった時、AD変換器（14）の値がレジスタ（12）の値と一致する為、ハイレベルの放電制御電圧DCGがCPU（11）からORゲート（16）を介してトランスマッショングート（9）の制御端子に印加され、充放電回路の放電路が形成される。そして、コンデンサ（6）の電荷はプルダウン抵抗（10）を介して時定数Tで強制放電される。従って、制御電圧V<sub>s</sub>を0ボルト付近まで下降でき、分周器（7）のデッドロックを確実に解除できる。

\* 【0014】以上より、マイクロコンピュータのリセット時に、分周器（7）がデッドロックするのを未然に防げる。また、マイクロコンピュータの通常動作時に分周器（7）がデッドロックしてしまっても、この状態を確実に解除できる。

## 【0015】

【発明の効果】本発明によれば、充放電回路の放電路に介在するゲートを介して充放電回路の蓄積電荷を強制放電させる構成を設けたので、マイクロコンピュータのリセット時に、分周器がデッドロックするのを未然に防止でき、また、マイクロコンピュータの通常動作時に分周器が極めて高い発振周波数の発振クロックに追従できずにデッドロックしたとしても、この状態を確実に解除でき、これより、PLL動作を確実に実行できる利点が得られる。

## 【図面の簡単な説明】

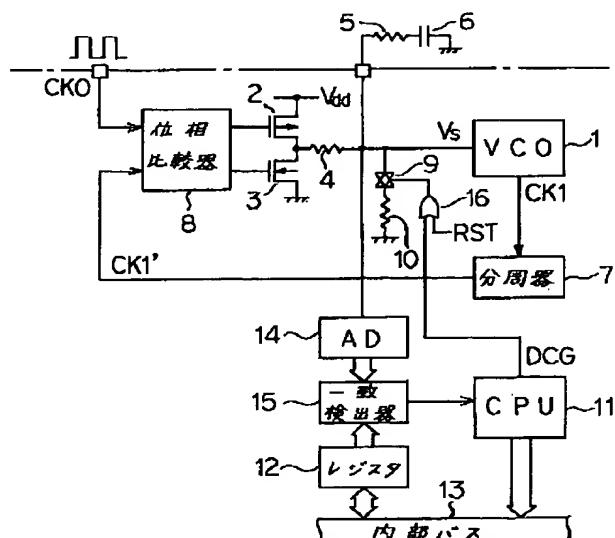
【図1】本発明のマイクロコンピュータを示す図である。

## 【符号の説明】

20	(1)	電圧制御発振器
	(2)	PMOSトランジスタ
	(3)	NMOSトランジスタ
	(5)	抵抗
	(6)	コンデンサ
	(7)	分周器
	(8)	位相比較器
	(9)	トランスマッショングート
	(11)	CPU
	(12)	レジスタ
	(14)	AD変換器
*	(15)	一致検出器

\* (1) 電圧制御発振器  
 (2) PMOSトランジスタ  
 (3) NMOSトランジスタ  
 (5) 抵抗  
 (6) コンデンサ  
 (7) 分周器  
 (8) 位相比較器  
 (9) トランスマッショングート  
 (11) CPU  
 (12) レジスタ  
 (14) AD変換器  
 (15) 一致検出器

【図1】



フロントページの続き

(72) 発明者 太田 昌也  
大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内

(72) 発明者 寺脇 周作  
大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内